

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08223970 A**(43) Date of publication of application: **30 . 08 . 96**

(51) Int. Cl.

H02P 6/18(21) Application number: **07028510**(71) Applicant: **SONY CORP**(22) Date of filing: **16 . 02 . 95**(72) Inventor: **TANINA MASAJI**

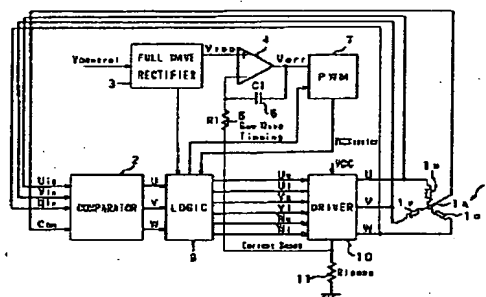
(54) MOTOR DRIVE

(57) Abstract:

PURPOSE: To obtain a motor drive in which the counter electromotive force can be detected even when PWM driving is carried out and direct PWM drive can be realized.

CONSTITUTION: In the sensor type motor drive, a logic section 9 detects the ON section of a PWM signal delivered from a PWM circuit 7 and the counter electromotive force is taken in from each phase coil 1U, 1V, 1W of a three-phase motor 1 during the ON section thus detected.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (JP)

哈爾濱市國有資產監督委員會(11)

特開平8-223970

(43)公認日 平成8年(1996)8月30日

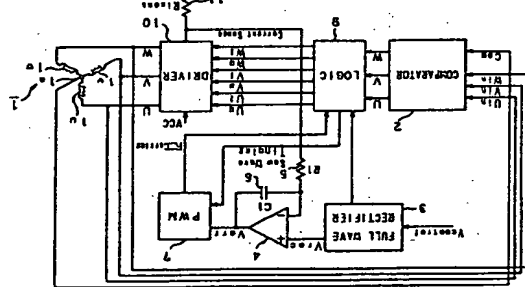
(S1)InCl. H02P 6/18	説明記号 片内登録番号 F I H02P 6/18	技術調査箇所 371S
(21)出願番号 特願平7-28510	出願日 平成7年(1995)2月16日	出願人 ソニー株式会社 住所 東京都品川区北品川6丁目7番35号 代理人 井田士 小池 晃 (外2名)

(54) 【発明の名称】 モーター区画装置

【(57)】(25)

【構成】 センサレス方式のモータ駆動装置において、コジック部9が、PWM回路7からのPWM In 信号のオン・オフ信号を出力し、このオン・オフ信号で各相のコイル1U、1V、1Wからの各逆起電圧の取り込みを行う。

【効果】 PWM駆動を行っているにも関わらず逆起電圧を検出することが可能となり、ダイレクトPWM駆動が可能とすることが出来る。



【特許請求の範囲】

【附求項1】複數相を有するモータの各相にあらわれ
各逆起電圧と、モータの中性点の電圧であるコモン電
圧とをそれぞれ比較する比較手段と、

記モータの回転エラ一信号に基づいて、はモータを回
転駆動するためのパルス駆動信号を出力するパルス駆
動手段と、

記パルス幅変調手段からのパルス幅変調信号のパルス幅が最小となる位置を検出する最小パルス幅検出手段

上記最小パルス幅検出手段により上記パルス幅変調信号の最小パルス幅が検出されるタイミングで、上記比較手段からの各比較出力をサンプルホールドするサンプルホールド手段と、

に基いて、上記モータを回転駆動するモータ駆動手
と、

有するモータ駆動装置。

【備考項2】 上記サンブルド手段は、
二配比較手段からの各比較出力の非他的論理和を抽出す
排他的論理和抽出手段と、

このデータは、各相への通過切り換えタイミングを抽出し、このデータを各相への通過切り換えるタイミングのマスク信号を形成するとともに、このマスク信号により該各相への通過切り換えるタイミングで上記非地的処理と抽出手段からの非地的処理とを互いに互換するキックバックノイズを除去して出力する手段と、

二配マスク処理手段からのマスク処理出力の立ち上がりエッジ及び立ち下がりエッジを検出するエッジ検出手段

記エッジ検出手数からのエッジ検出出力に基づいて上
記比較手数からの各比較出力をサンプリングするサン
プリング手数と、

配サンプリング手段からのサンプリング出力を、逆起振圧の取り込みを行う相以外はサンプルホールドして出力するホールド手段と、

で構成されていることを特徴とする請求項1記載のモーター駆動装置。

【請求項3】 上記エッジ後出手段からのエッジ後出手段に所定時間分の遅延処理を施して出力する遅延手段を有する。

上記サンプリング手数は、上記遅延手続からの遅延出力に基づいて上記比較手続からの各比較出力をサンプリングして上記ハード手続に供給することを特徴とする回路。

【附承頂4】 上記エッジ抽出手段からのエッジ抽出出力、或いは、上記選別手段からの選別出力の供給の有無に関わらず、該エッジ抽出出力或いは選別出力が所定時間経過した場合には、上記エッジ抽出手段の動作を可変制御し、上記エッジ抽出手段の動作状態を切り換え制御する。

る通電状態切り換え制御手段を有することを特徴とする
請求項3記載のモータ駆動装置。

【附事項6】 上記エッジ後出手段は、上記マスク処理手段からのマスク処理出力の立ち上がりエッジ及び立ち下がりエッジを後出すとともに、現在の通電状態を後出し、この現在の通電状態に基づいて次に供給されるマスク処理出力のエッジが立ち上がりエッジか立ち下がりエッジかを予測し、

上配通貨状態切り換え制手後は、上配エッジ後出手後において、予測されたエッジ以外のエッジが検出されたことに伴い、各相への通貨状態を切り換え制御することと特徴とする（前項4配役のモード駆動装置）。

[0001]

【産業への利用分野】本発明は、例えば磁気ディスク、光磁気ディスク、コンパクトディスク等の円盤状記録媒体の記録装置、再生装置、記録再生装置や、ビデオテープの記録装置、再生装置、記録再生装置、カセット装置等のモジュール装置を主とするあらゆる機器に適用して様々なモータ駆動装置に關し、特に、いわゆるセンサレスモータにおけるダイナミックパルス幅変調装置(ダイナミックPWM駆動)を可能としたモータ駆動装置に關する。

[0002]

【従来の技術】従来、図2Aに示すようなセンサレスシステムにおいて、モータ駆動回路は知られていて、例えば3相モータ5000のV相コイル500U及びV相コイル500Vと、U相コイル500U及びV相コイル500Vは、U相コイル500U及びV相コイル500Vに電流を供給すると、該U相コイル500U及びV相コイル500Vはトルクを発生するよう働くため、モータとして作動するが、該V相コイル500Vは逆起電力となり逆起電力を発生する。上記センサレスシステムに発電機となり逆起電力を発生する、上記センサレスシステム方式のモータ駆動回路は、このようにして各相コイル500U、500V、500Wにそれぞれ発生する逆起電力に基づいてローターの回転位置を検出し、該各相コイル500U、500V、500Wの電流状態を切り換え制御して回転制御を行うものである。

【0003】すなわち、上記各相コイル500U、500V、500Wから発生する逆起電圧 U_{in} 、 V_{in} 、 W_{in} は、それぞれフィルタ回路501を介して比較器502に供給される。また、3相モータ500の中性点の電圧 V_n は、上記フィルタ回路501の共通端子COMに供給される。

【0004】上記フィルタ回路501は、図2(a)に示すような構成を有しており、上記コイル500Uから上記逆起圧ユニットnは、低値516a及びコンデンサ515bで構成されるパスフィルタ515に供給され、また、上記V_{IN}及びコンデンサ516bで構成されるローパスフィルタ516に供給され、上記V_{IN}と上記逆起圧ユニットnの間に接続されている。

【0029】また、本発明に係るモータ駆動装置は、上記エッジ検出手段からのエッジ検出出力、或いは、上記遅延手段からの遅延出力の供給の有無を検出し、該エッジ検出出力或いは遅延出力が所定時間供給されなかった

【0036】上段排他的処理和と輸出手段は、上段比較手段からその各出力の排他的処理和を抽出し、これをマस्क処理手段に供給する。上段マस्क処理手段は、上段マस्क処理手段に供給する、上段マスカ信号を形成するとともに、各相への通過切り換えマスカ信号を抽出し、このタイミングで所定アドレス幅のマスカ信号を形成するとともに、このマスカ信号により各相への通過切り換えタイミングで上段排他的処理和と出力に重畳するキックバックノイズを発生する。上段マスカ信号は、上段マスカ処理手段と上段比較手段の両方に重畳する。

【0040】本発明の実施例に係るモータ駆動装置は、

【0045】上記比較器2は、図2に示すようにV_{in}相、V_{ref}相、W_{ref}相の3つの比較器2 a~2 cで構成されており、上記共通電圧COMは基準電圧として各比較器2 a~2 cに供給される。また、上記逆起電圧V_{in}は抵抗を介してV_{ref}相の比較器2 aに供給され、上記逆起電圧V_{in}は抵抗を介してV_{ref}相の比較器2 bに

送す。第1のANDゲート23hには、第4のシフトレジスタ23dの出力と、第5のシフトレジスタ23eからのインバータ23gにより反転された出力が供給されている。このため、上記第1のANDゲート23hからは、上記SD Error 信号を4インバータクロック分カウントしたタイミングでパルス幅の広い、(1)に示すようなDelay T 信号を形成する。上述のように、上記インバータクロックの1周期は7.6度であるため、上記SD Error 信号を電圧3.0度分遅延させた上記Delay T 信号を形成することができる(図2(a)参照)。このDelay T 信号は、上記各相コイルU、V、Wへの通電切り換えのタイミングでパルスとなり、上記3フェーズクロック部28に供給される。そして、後に説明するがこの3フェーズクロック部28において、上記逆起起電圧Uin、Vin、Winのサンプリングパルスとして用いられる。

[0068] 第2のANDゲート23jには、第4のシフトレジスタ23dの出力と、第6のシフトレジスタ23iからのインバータ23gにより反転された出力が供給されている。このため、上記第2のANDゲート23jからは、図2(1)に示すように2インバータクロック分のパルス幅を有する上記第1のマスク信号が形成されて出力される。上記第1のマスク信号のパルス幅を大きくしすぎると逆起起電圧のゼロクロックポイントでマスキングされてしまい、モータの通電タイミングが変化する。このため、本実施例の場合、上記第1のマスク信号のパルス幅は2インバータクロック分、すなわち、電圧角で1.5度となるように設定されている。この第1のマスク信号は、上述のように上記マスク回路21に供給され、キックバックパルスのマスク処理に用いられる。

[0069] また、このタイムディレイ部29においては、第6のシフトレジスタ23iからの出力は、上記第1のマスク信号がローレベルとなると同時にパルスレベルとなり、以下に説明するスタータ部24を動作させるためのトリガ(F1ug 信号)としてスタータ部24に供給される。

[0070] 上記スタータ部24は、図9に示すように上記SD Error 信号でリセットされた上記インバータクロックをカウントする第1～第5のカウント24a～24eと、第1、第2のカウント24a、24bからの各出力の論理和をとって第3のカウント24cに供給する第1のANDゲート24fと、第1～第3のカウント24a～24cからの各出力の論理和をとって第4のカウント24dに供給する第2のANDゲート24gとを有している。また、第1～第4のカウント24a～24dからの各出力の論理和をとって第5のカウント24eに供給する第3のANDゲート24hと、第1～第5のカウント24a～24eからの各出力の論理和をとって出力

する第4のANDゲート24iと、上記第4のANDゲート24iからの出力をインバータクロックに基づいて同期化し、これを通電パターンを切り換えるためのStep 信号として出力するDフリップフロップ24jとを有している。

[0071] 上記3相モータ1が回転している場合、上記F1ug 信号は周期的にスタータ部24に供給されるはずである。しかし、例えば誤った相コイルに通電した状態や回転が停止している状態では上記F1ug 信号はスタータ部24に供給されない。このような状態で、同じ相コイルに通電して通電を行うこととなれば、いつまでも回転しないという、故障状態の相コイルが検出する等の不都合を生ずる。このため、上記スタータ部24は、上記パルスレベルのF1ug 信号が供給されるタイミング、すなわち、逆起起電圧をサンプリングし、通電を切り換えた直後から始動し、上記カウント24a～24eにより上記インバータクロックを例えば32カウントするまでにSD Error 信号が供給されない場合は、上記3相モータ1が停止しているものとみなし、次の通電パターンとするためのStep 信号を出力する。このStep 信号は、上記3フェーズクロック部28に供給される。

[0072] また、このスタータ部24は、上記逆起起電圧のゼロクロックポイントが検出された上記SD Error 信号によって各カウント24a～24eがリセットされることにより動作が停止する。

[0073] なお、上記インバータクロックのカウント値(この場合32カウント)は、3相モータ1のトルク定数や電圧とインバータに依りて設定される。このため、この数値に設定されることなく設計に応じた仕様の値を設定すればよい。

[0074] 次に、上記3フェーズクロック部28は、後に詳しく説明するが、上記Delay T 信号に基づいて各逆起起電圧U、V、Wをサンプリングし、この各サンプル出力をデコード部29に供給する。

[0075] 上記デコード部29は、図10に示すような構成を有しており、図11に示すドライバ10に設けられているU相コイル用の上図トランジスタをオンオフ制御するための第1のコントロール信号Uuを形成するUu 信号を形成する第1のANDゲート36と、V相コイル用の上図トランジスタをオンオフ制御するための第2のコントロール信号Uvを形成するUv 信号を形成する第2のANDゲート37と、W相コイル用の上図トランジスタをオンオフ制御するための第3のコントロール信号Uwを形成するUw 信号を形成する第3のANDゲート38と、W相コイル用の上図トランジスタをオンオフ制御するための第4のコントロール信号Uvとして出力するORゲート38cとで構成

されている。

[0080] 上記Wu 信号形成部39は、上記第1のインバータ29dにより反転された逆起起電圧Ures、上記第2のインバータ29eにより反転された逆起起電圧Vres、及び逆起起電圧Wres が供給されるANDゲート39aと、上記第1のインバータ29dにより反転された上記逆起起電圧Ures、上記逆起起電圧Vres 及び上記逆起起電圧Wres が供給されるANDゲート39bと、上記各ANDゲート39a、39bの各出力の論理和を上記第5のコントロール信号Wuとして出力するORゲート39cとで構成されている。

[0081] 上記WV 信号形成部40は、上記逆起起電圧Ures、上記第2のインバータ29eにより反転された逆起起電圧Vres 及び上記第3のインバータ29fにより反転された逆起起電圧Wres が供給されるANDゲート40aと、上記逆起起電圧Ures、上記逆起起電圧Vres 及び上記第3のインバータ29fにより反転された逆起起電圧Wres が供給されるANDゲート40bと、上記各ANDゲート40a、40bの各出力の論理和を上記第6のコントロール信号Wiとして出力するORゲート40cとで構成されている。

[0082] 上記第1のORゲート29aには、Vu 信号形成部37のANDゲート37bの出力と、Wu 信号形成部39のANDゲート39aの出力とが供給されており、該各出力の論理和をすることにより第3のマスク信号(Mask3-u)を形成して出力するようになっている。

[0083] 上記第2のORゲート29bには、Uv 信号形成部35のANDゲート35aの出力と、Wu 信号形成部39のANDゲート39bの出力とが供給されており、該各出力の論理和をすることにより第3のマスク信号(Mask3-v)を形成して出力するようになっている。

[0084] 上記第3のORゲート29cには、Vu 信号形成部37のANDゲート37aの出力と、Uv 信号形成部35のANDゲート35bの出力とが供給されており、該各出力の論理和をすることにより第3のマスク信号(Mask3-w)を形成して出力するようになっている。

[0085] このような構成を有するデコード部29は、上記逆起起電圧Ures、Vres、Wres で構成される上述の第1～第6の通電パターンに基づいて上記各相の上図トランジスタ及び下図トランジスタをオンオフ制御する第1～第6のコントロール信号Uu～Wuを形成する。

[0086] すなわち、デコード部29に供給される各逆起起電圧Ures、Vres、Wres が逆起起電圧(U、V、W)の通電パターン(H、L、H)及び第2の通電パターン(H、L、L)であるときは、上記Uu 信号形成部36からこの間パルスとなる図9(r)に示

回路図である。

【図1.1】上記ロジック部に設けられているデコーダ部の回路図である。

【図1.2】上記ロジック部に設けられている3フェーズロジック部の回路図である。

【図1.3】上記ロジック部に設けられているPLL回路のブロック図である。

【図1.4】上記ロジック部に設けられているタイミングコントローラのブロック図である。

【図1.5】本実施例に係るモータ駆動装置のPWM制御時における逆起電圧の検出タイミングを説明するためのタイムチャートである。

【図1.6】本実施例に係るモータ駆動装置の逆起電圧防止動作を説明するためのタイムチャートである。

【図1.7】本実施例に係るモータ駆動装置のショートブレーキ及び逆方向通電ブレーキの切り換え動作を説明するためのタイムチャートである。

【図1.8】上記ロジック部に設けられているアクトブクトコントローラの回路図である。

【図1.9】本実施例に係るモータ駆動装置に設けられているドライバ部の回路図である。

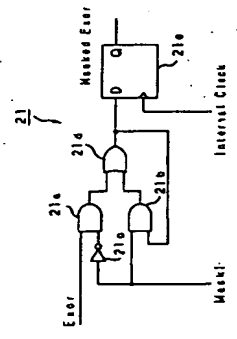
【図1.10】本実施例に係るモータ駆動装置の通常回電時のPWM動作を説明するためのタイムチャートである。

【図2.1】本実施例に係るモータ駆動装置の通常回電から逆方向通電ブレーキへの切り換え動作を説明するためのタイムチャートである。

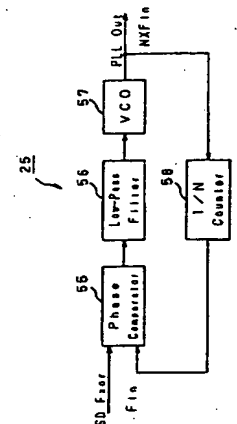
【図2.2】本実施例に係るモータ駆動装置の逆方向通電ブレーキ時の動作を説明するためのタイムチャートである。

【図2.3】本実施例に係るモータ駆動装置の逆方向通電ブレーキ時の電流バス及びショートブレーキ時の電流バスを説明するためのドライバ部の簡略的な回路図である。

【図6】



【図1.2】



【図2.4】従来のモータ駆動装置のブロック図である。

【図2.5】従来のモータ駆動装置に設けられているフィードバック回路のブロック図である。

【図2.6】従来のモータ駆動装置の通常回電時の動作を説明するためのタイムチャートである。

【図2.7】従来のモータ駆動装置に設けられている電圧変換回路の回路図である。

【図2.8】従来のモータ駆動装置に設けられているドライバ部の回路図である。

【図2.9】従来のモータ駆動装置においてダイレクトPWM動作ができない理由を説明するためのタイムチャートである。

【符号の説明】

1 3相モータ

1a 1V, 1W 各相コイル

2 比較器

3 同相電圧検出回路

4 比較器

5 積分回路の一部を形成する抵抗

6 積分回路の一部を形成するコンデンサ

7 PWM回路

9 ロジック部

10 ドライバ部

11 電圧検出抵抗

20 Exor回路

21 マスク回路

22 エンディテータ

23 タイムディレイ部

24 スタグ部

25 PLL回路

26 オンレータ

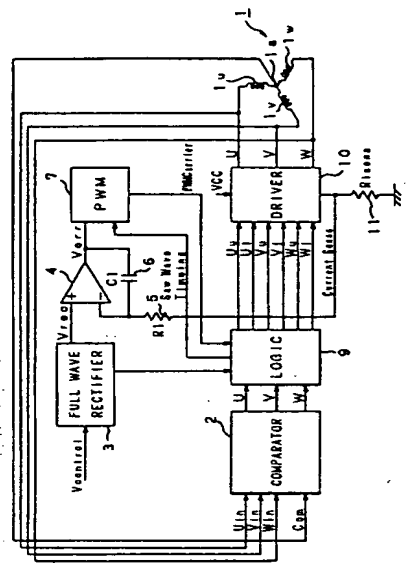
27 タイミングコントローラ

28 3フェーズロジック部

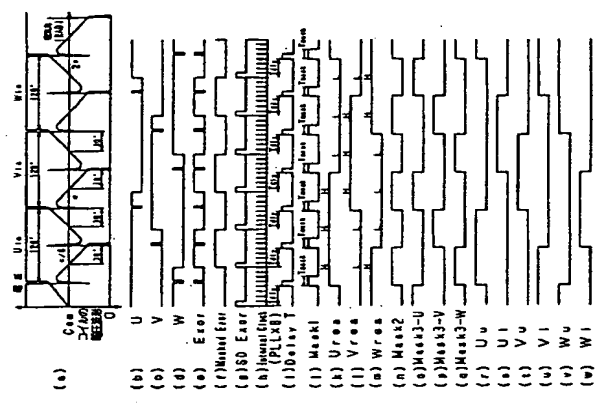
29 デコーダ部

30 アクトブクトコントローラ

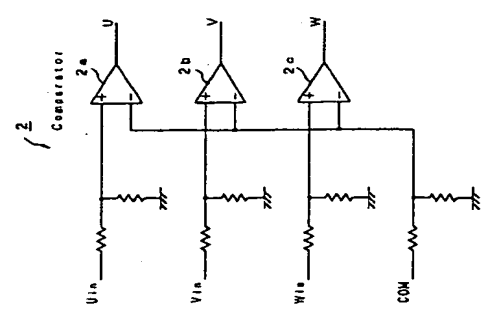
【図1】



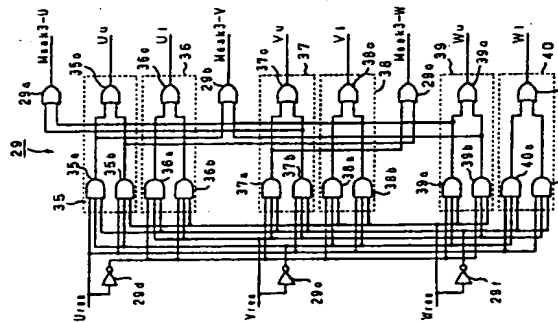
【図2】



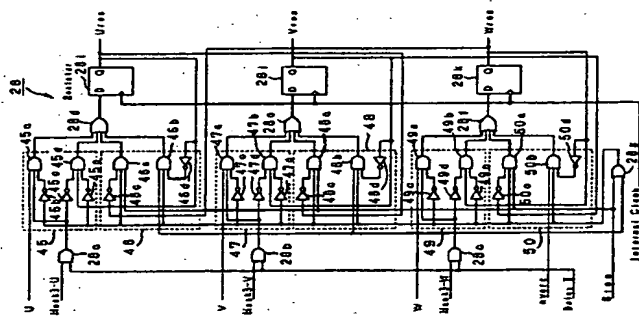
【図3】



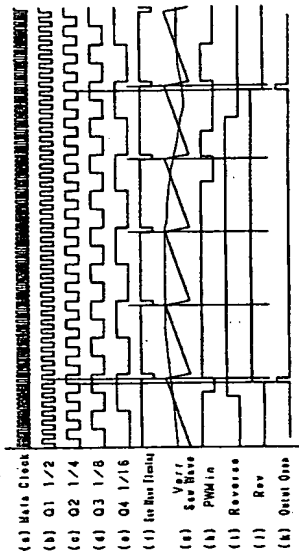
【図1.0】



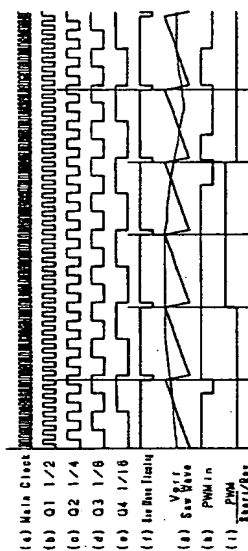
【図1.1】



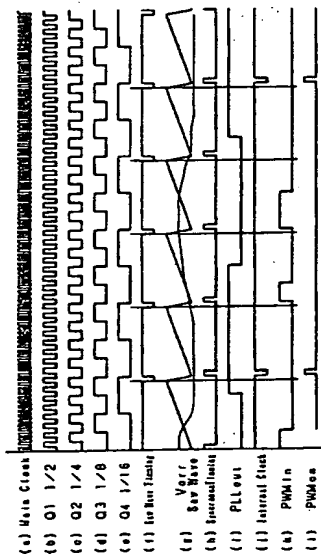
【図1.2】



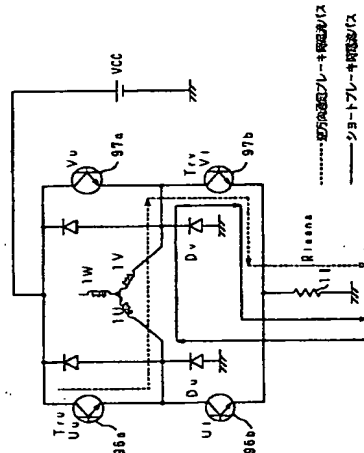
【図1.3】



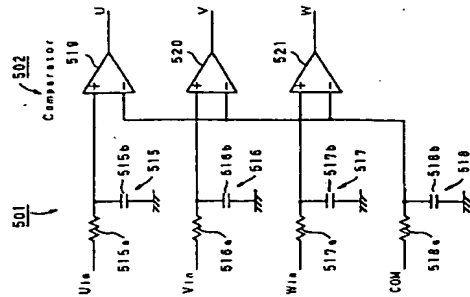
【図1.4】



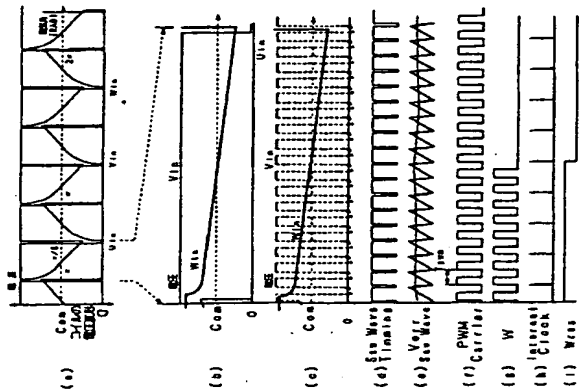
【図2.2】



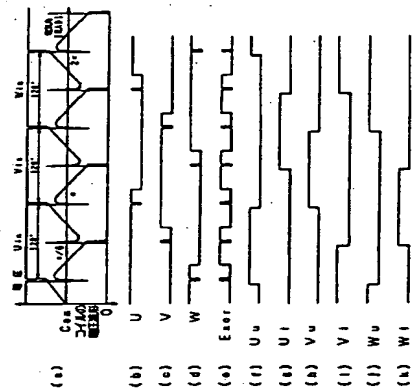
【図2.3】



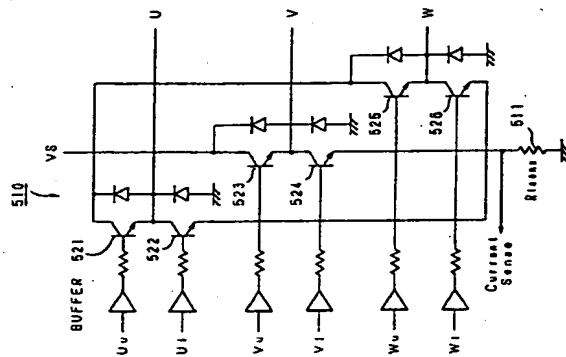
【図2.2】



【図2.6】



【図2.3】



【図2.9】

